



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 05089863

(43)Date of publication of application: 09.04.1993

(51)Int.Cl.

G11C 11/401

(21)Application number: 03249552

(71)Applicant:

MITSUBISHI ELECTRIC CORP

(22)Date of filing: 27.09.1991

(72)Inventor:

NAGASE KOICHI

NAKAYAMA AKIO

AONO TETSUYA

IKEDA YUTAKA

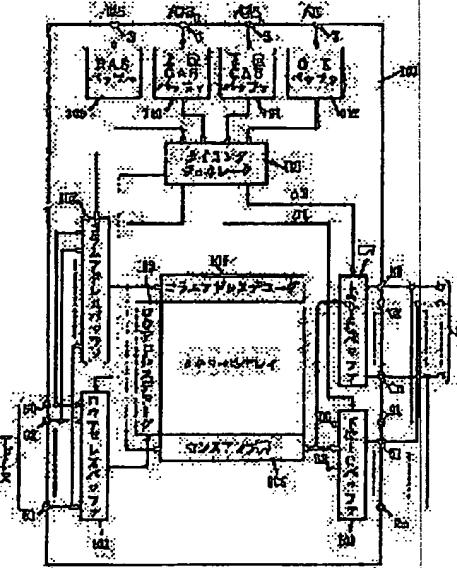
MIZUTANI YOSHINORI

(54) SEMICONDUCTOR MEMORY AND ITS OUTPUT CONTROL METHOD

(57)Abstract:

PURPOSE: To provide a semiconductor memory wherein the transfer rate of a data is enhanced.

CONSTITUTION: The phase of a high-order column address strobe signal/CASU which is given to a dynamic RAM 100 and the phase of a low-order column address strobe signal/CASL are shifted from each other by 180°. A data having n-bits is read out simultaneously from a memory cell array 105. The data which is read out from the memory cell array 105 is divided into two bit groups; they are given to a high-order IO buffer 107 and a low-order IO buffer 108. The high-order IO buffer 107 and the low-order IO buffer 108 latch a high-order bit group and a low-order bit group sequentially in response to the high-order column address strobe signal/CASU and the low-order column address strobe signal/CASL and output them to a data transfer bus 2.



LEGAL STATUS

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平5-89663

(43)公開日 平成5年(1993)4月9日

(51)Int.Cl.⁵
G 11 C 11/401

識別記号

庁内整理番号

F I

技術表示箇所

8320-5L

G 11 C 11/34

3 6 2

C

審査請求 未請求 請求項の数2 (全8頁)

(21)出願番号

特願平3-249552

(22)出願日

平成3年(1991)9月27日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 長瀬 功一

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

(72)発明者 中山 明男

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

(72)発明者 青野 哲哉

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

(74)代理人 弁理士 深見 久郎 (外3名)

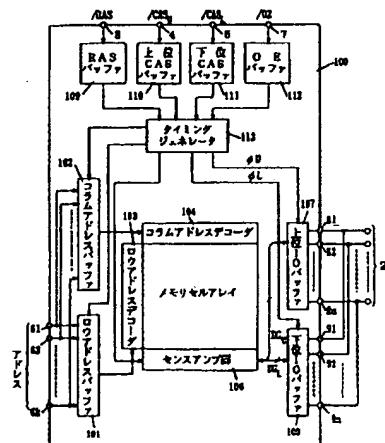
最終頁に続く

(54)【発明の名称】半導体記憶装置およびその出力制御方法

(57)【要約】

【目的】この発明の目的は、データの転送レートが向上された半導体記憶装置を提供することである。

【構成】ダイナミックRAM100に与えられる上位コラムアドレスストローブ信号/CAS_uおよび下位コラムアドレスストローブ信号/CAS_lは、互いに180°位相がずれている。メモリセルアレイ105からは、同時にnビットのデータが読出される。メモリセルアレイ105から読出されたデータは、2つのビットグループに分割されて、上位IOバッファ107および下位IOバッファ108に与えられる。上位IOバッファ107および下位IOバッファ108は、上位コラムアドレスストローブ信号/CAS_uおよび下位コラムアドレスストローブ信号/CAS_lに応答して、上位ビットグループおよび下位ビットグループを順番にラッチしてデータ転送バス2へ出力する。



【特許請求の範囲】

【請求項1】 複数のメモリセルを含むメモリセルアレイから同時にn（nは2以上の整数）ビットのデータを読み出し可能な半導体記憶装置であって、

外部から与えられるアドレスデータに基づいて、前記メモリセルアレイにおけるn個のメモリセルを同時に選択するための選択手段、および前記選択手段によって選択されたn個のメモリセルから読み出されたnビットのデータを複数のビットグループに分割し、かつ分割された各ビットグループを外部から与えられる複数のタイミング信号に応答して順次的に出力するための出力手段を備える、半導体記憶装置。

【請求項2】 複数のメモリセルを含むメモリセルアレイから同時にn（nは2以上の整数）ビットのデータを読み出し可能な半導体記憶装置のための出力制御方法であって、

互いに位相のずれた複数のタイミング信号を、外部から前記半導体記憶装置に与え、

前記メモリセルアレイから読み出されたnビットのデータを複数のビットグループに分割し、かつ分割された各ビットグループを前記複数のタイミング信号に応答して、順次的に出力するようにした、半導体記憶装置の出力制御方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体記憶装置およびその出力制御方法に関し、より特定的にはメモリセルアレイから同時に複数ビットのデータを読み出し可能な半導体記憶装置およびその出力制御方法に関する。

【0002】

【従来の技術】 従来、たとえばダイナミックランダムアクセスメモリ（以下、DRAMと称す）のような半導体記憶装置を異なるビット幅のデータ転送バスにつなぐ場合、半導体記憶装置に対するデータの入出力をいかに制御するかが問題となる。

【0003】 図3は、異なるビット幅のデータ転送バスに接続された従来のDRAMを示すブロック図である。図において、DRAM1のビット幅は、nビット（nは2以上の整数）に選ばれている。すなわち、DRAM1は、同時にnビットのデータを読み書きすることができる。一方、DRAM1に接続されるデータ転送バス2は、そのビット幅がmビット（m=n/2）に選ばれている。DRAM1のnビットの出力は、上位mビットの上位ビットグループBG_Uと下位mビットの下位ビットグループBG_Lとに分割され、それぞれのビットグループがデータ転送バス2に接続される。DRAM1には、入力端子3を介してロウアドレスストローブ信号/RASが与えられ、入力端子4を介して上位mビットアドレスストローブ信号/CAS_Uが与えられ、入力端子5を介して下位mビットアドレスストローブ信号/CAS_Lが与えられる。

えられる。また、DRAM1には、入力端子61～6kを介してアドレスデータが与えられる。

【0004】 図3に示すDRAM1は、上位コラムアドレスストローブ信号/CAS_Uに応答して上位ビットグループBG_Uの出力制御を行ない、下位コラムアドレスストローブ信号/CAS_Lに応答して下位ビットグループBG_Lの出力制御を行なう。

【0005】 図4は、図3に示すDRAMに同様の上位コラムアドレスストローブ信号/CAS_Uおよび下位コラムアドレスストローブ信号/CAS_Lを与えた場合の動作を示すタイミングチャートである。図示のごとく、上位コラムアドレスストローブ信号/CAS_Uと下位コラムアドレスストローブ信号/CAS_Lとが同期であると、上位ビットグループBG_Uの出力と下位ビットグループBG_Lの出力とがデータ転送バス2上において衝突する。

【0006】 そこで、従来では、上位コラムアドレスストローブ信号/CAS_Uおよび下位コラムアドレスストローブ信号/CAS_Lのいずれか一方を活性化し、いずれか他方を非活性にすることにより、データの衝突を防いでいる。たとえば、図5では、上位コラムアドレスストローブ信号/CAS_Uのみが活性化されている。したがって、データ転送バス2上には、上位ビットグループBG_Uのみが出力される。

【0007】

【発明が解決しようとする課題】 従来の半導体記憶装置は、以上のように構成されているので、ビット幅の小さなデータ転送バスに接続された場合、半導体記憶装置がたとえnビットの出力ビット幅を有していても、実際はその半分のmビットのデータしか出力できず、データ転送レートが低いという問題点があった。

【0008】 それゆえに、この発明の目的は、データ転送レートの改善された半導体記憶装置およびその出力制御方法を提供することである。

【0009】

【課題を解決するための手段】 この発明に係る半導体記憶装置は、複数のメモリセルを含むメモリセルアレイから同時にn（nは2以上の整数）ビットのデータを読み出し可能であって、選択手段および出力手段を備えている。選択手段は、外部から与えられるアドレスデータに基づいて、メモリセルアレイにおけるn個のメモリセルを同時に選択する。出力手段は、選択手段によって選択されたn個のメモリセルから読み出されたnビットのデータを複数のビットグループに分割し、かつ分割された各ビットグループを外部から与えられる複数のタイミング信号に応答して順次的に出力する。

【0010】 この発明に係る半導体記憶装置の出力制御方法は、互いに位相のずれた複数のタイミング信号を外部から半導体記憶装置に与え、メモリセルアレイから読み出されたnビットのデータを複数のビットグループに分割して、各ビットグループをデータ転送バス2上において衝突しないように順次的に出力する。

割し、かつ分割された各グループを外部から与えられる複数のタイミング信号に応答して順次的に出力するようにしたものである。

【0011】

【作用】この発明に係る半導体記憶装置においては、出力手段がnビットの読み出しデータを複数のビットグループに分割し、かつ分割された各ビットグループを外部から与えられる複数のタイミング信号に応答して順次的に出力する。これによって、メモリセルアレイから同時に読み出されたnビットのデータのすべてを時分割的にデータ転送バスに出力することができ、データの転送レートが向上する。

【0012】この発明に係る半導体記憶装置の出力制御方法は、同様に、メモリセルアレイから読み出されたnビットのデータのすべてをデータ転送バスに出力することができ、データの転送レートが向上する。

【0013】

【実施例】図1は、この発明の一実施例のDRAMの構成を示すブロック図である。図において、DRAM100は、ロウアドレスバッファ101と、コラムアドレスバッファ102と、ロウアドレスデコーダ103と、コラムアドレスデコーダ104と、メモリセルアレイ105と、センスアンプ群106と、上位IOバッファ107と、下位IOバッファ108と、RASバッファ109と、上位CASバッファ110と、下位CASバッファ111と、OEバッファ112と、タイミングジェネレータ113とを含む。

【0014】外部から入力端子61～6kに与えられるアドレスデータは、ロウアドレスバッファ101およびコラムアドレスバッファ102に与えられる。ロウアドレスバッファ101およびコラムアドレスバッファ102は、タイミングジェネレータ113からのタイミング信号に応答して、それぞれロウアドレスデータおよびコラムアドレスデータをラッチする。ロウアドレスバッファ101から出力されるロウアドレスデータは、ロウアドレスデコーダ103に与えられる。コラムアドレスバッファ102から出力されるコラムアドレスデータは、コラムアドレスデコーダ104に与えられる。

【0015】メモリセルアレイ105は、複数本のワード線と、これらワード線に直交して配置された複数本のビット線と、ワード線とビット線との各交点に配置された複数のメモリセルとを含む。ロウアドレスデコーダ103は、ロウアドレスバッファ101から与えられるロウアドレスデータに基づいて、メモリセルアレイ105におけるワード線を選択する。コラムアドレスデコーダ104は、コラムアドレスバッファ102から与えられるコラムアドレスデータに基づいて、メモリセルアレイ105におけるビット線を選択する。メモリセルアレイ105は、複数のセクタに分割されており、ロウアドレ

によって、各セクタにおける対応するn個のメモリセルが同時に選択される。センスアンプ群106は、メモリセルアレイ105におけるビット線のそれぞれに対して設けられた複数のセンスアンプを含む。

【0016】メモリセルアレイ105から同時に読出されたnビットのデータは、センスアンプ群106によって増幅された後、上位ビットグループBG_mおよび下位ビットグループBG_nに分割され、上位IOバッファ107および下位IOバッファ108に与えられる。上位IOバッファ107には、上記nビットのデータのうち、上位mビットのデータが与えられる。下位IOバッファ108には、上記nビットのデータのうち、下位mビットのデータが与えられる。上位IOバッファ107は、タイミングジェネレータ113から与えられるタイミング信号Uに応答して、上位mビットのデータをラッチする。下位IOバッファ108は、タイミングジェネレータ113から与えられるタイミング信号Lに応答して、下位mビットのデータをラッチする。上位IOバッファ107の出力データは、出力端子81～8mを介してデータ転送バス2に出力される。下位IOバッファ108の出力データは、出力端子91～9mを介してデータ転送バス2に出力される。

【0017】RASバッファ109は、入力端子3から入力されるロウアドレスストローブ信号/RASを取込んで保持する。上位CASバッファ110は、入力端子4から入力される上位コラムアドレスストローブ信号/CAS_uを取込んで保持する。下位CASバッファ111は、入力端子5から入力される下位コラムアドレスストローブ信号/CAS_lを取込んで保持する。OEバッファ112は、入力端子7から入力されるアウトプットイネーブル信号/OEを取込んで保持する。タイミングジェネレータ113は、RASバッファ109から与えられるロウアドレスストローブ信号/RAS、上位CASバッファ110から与えられる上位コラムアドレスストローブ信号/CAS_u、下位CASバッファ111から与えられる下位コラムアドレスストローブ信号/CAS_l、OEバッファ112から与えられるアウトプットイネーブル信号/OEに基づいて各種のタイミング信号を発生する。タイミングジェネレータ113が発生するタイミング信号は、ロウアドレスバッファ101、コラムアドレスバッファ102、センスアンプ群106、上位IOバッファ107および下位IOバッファ108に与えられる。

【0018】ロウアドレスバッファ101およびコラムアドレスバッファ102は、タイミングジェネレータ113から与えられるタイミング信号によって、ロウアドレスデータおよびコラムアドレスデータをラッチするタイミングが制御される。センスアンプ群106は、タイミングジェネレータ113から与えられるタイミング信号

ツファ107および下位IOバッファ108は、タイミングジェネレータ113から与えられるタイミング信号 ϕU および ϕL に応答して、メモリセルアレイ105から読出されたデータをラッチするタイミングが制御される。

【0019】図2は、図1に示す実施例におけるページモードの動作を示すタイミングチャートである。以下、この図2を参照して、図1に示す実施例の動作の一例としてページモード時の動作を説明する。

【0020】ページモードでは、ロウアドレスを固定してコラムアドレスを順番に変化させることにより、メモリアレイ105の1行分のデータが端から順番に読出される。1行分のデータの読出しが終了すると、ロウアドレスが1つ更新され、次の行のデータが順番に読出される。図2は、メモリセルアレイ105のある行からデータを読出す場合の動作を示している。ロウアドレスストローブ信号/RASは、HレベルからLレベルに立下げられて活性化される。ロウアドレスストローブ信号/RASのLレベル状態は、1行分のデータの読出しが終了するまで維持される。ロウアドレスストローブ信号/RASの立下がりに応答して、ロウアドレスバッファ101は、ロウアドレスデータX0をラッチする。ロウアドレスバッファ101の出力は、ロウアドレスデコーダ103に与えられる。ロウアドレスデコーダ103は、与えられたロウアドレスデータに基づいて、メモリセルアレイ105における1本のワード線を選択する。これによって、選択されたワード線に属する各メモリセルのデータが各ビット線上に読出される。

【0021】一方、上位コラムアドレスストローブ信号/CAS_uおよび下位コラムアドレスストローブ信号/CAS_lは、互いに180°位相がずれている。コラムアドレスバッファ102は、上位コラムアドレスストローブ信号/CAS_uの立下がりに応答してコラムアドレスデータをラッチする。コラムアドレスバッファ102によってラッチされたコラムアドレスデータは、コラムアドレスデコーダ104に与えられる。コラムアドレスデコーダ104は、与えられたコラムアドレスデータに基づいて、メモリセルアレイ105における各セクタの対応するビット線を選択する。これによって、メモリセルアレイ105の各セクタの対応するメモリセルから読出されたnビットのデータが、センサアンプ群106で増幅された後、上位IOバッファ107および下位IOバッファ108に与えられる。上位IOバッファ107は、タイミングジェネレータ113から与えられるタイミング信号 ϕU に応答して、上位mビットの出力データをラッチする。下位IOバッファ108は、タイミングジェネレータ113から与えられるタイミング信号 ϕL に応答して、下位mビットの出力データをラッチする。図2は、すとく、タイミング信号 ϕU および ϕL は

○バッファ107にラッチされたデータと下位IOバッファ108にラッチされたデータとは、互いに重なることなくデータ転送バス2に出力される。

【0022】上記のごとく、図1に示す実施例では、メモリセルアレイ105から同時に読出されたnビットのデータのうち、上位mビットのデータと下位mビットのデータとが重なることなく順番にデータ転送バス2に終了される。その結果、図3に示す従来のDRAM1に比べて、約2倍のデータ転送レートを得ることができる。

【0023】以上、ページモードの動作について説明したが、通常の読み出しモードについても、メモリセルアレイから同時に読出されたnビットのデータを、複数のビットグループに分割して順番に出力すれば、上記実施例と同様の効果が得られる。

【0024】また、上記実施例は、メモリセルアレイ105から同時に読出されたnビットのデータを、2つのビットグループに分割して出力するものとして示されているが、この発明はnビットのデータを3つ以上のビットグループに分割して出力するようにしてもよい。

【0025】さらに、上記実施例は、DRAMとして示されているが、この発明は、スタティックRAMや不揮発性半導体記憶装置のような他の種類の半導体記憶装置にも適用可能である。

【0026】
【発明の効果】以上のように、この発明によれば、メモリセルアレイから同時に読出された複数ビットのデータを複数のビットグループに分割し、そのすべてをデータ転送バスに出力できるので、データの転送レートを従来の半導体記憶装置に比べて大幅に向上することができる。

【図面の簡単な説明】

【図1】この発明の一実施例の構成を示すブロック図である。

【図2】図1に示す半導体記憶装置のページモード時の動作を示すタイミングチャートである。

【図3】従来のダイナミックRAMを示す図である。

【図4】従来のDRAMの動作を示すタイミングチャートである。

【図5】従来のDRAMのその他の動作を示すタイミングチャートである。

【符号の説明】

100…ダイナミックRAM

101…ロウアドレスバッファ

102…コラムアドレスバッファ

103…ロウアドレスデコーダ

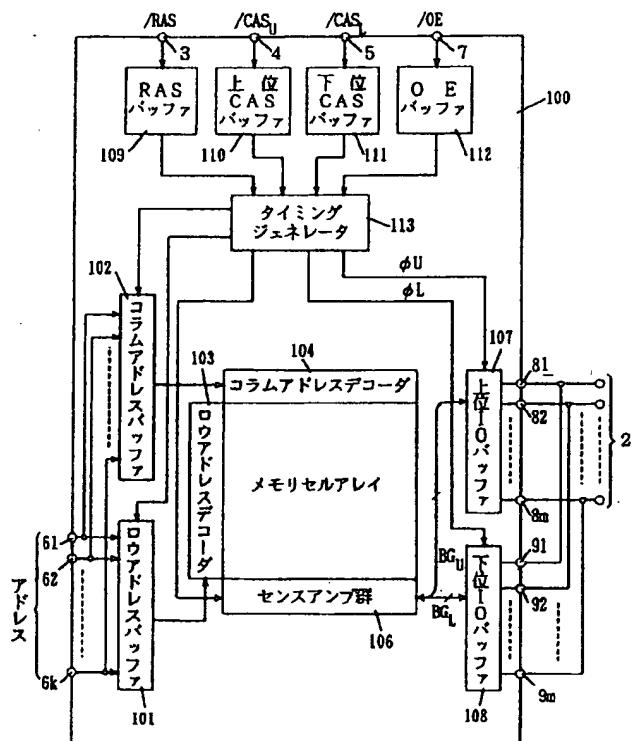
104…コラムアドレスデコーダ

105…メモリセルアレイ

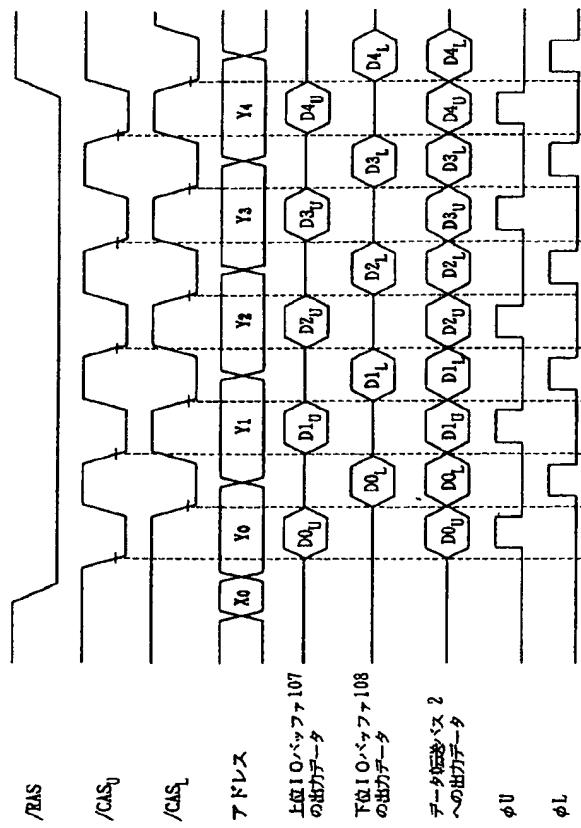
107…上位IOバッファ

108…下位IOバッファ

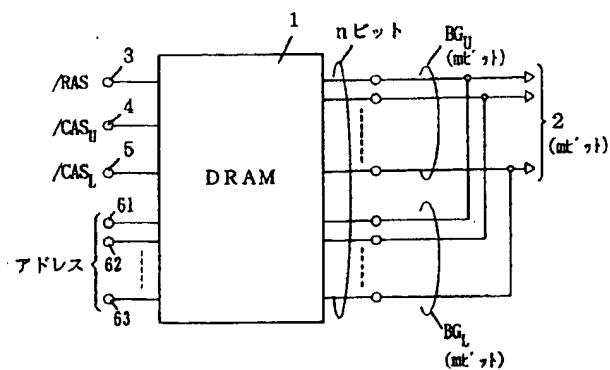
【図1】



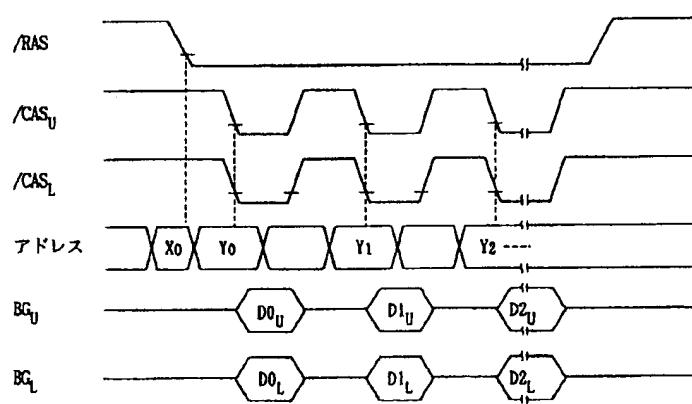
[図2]



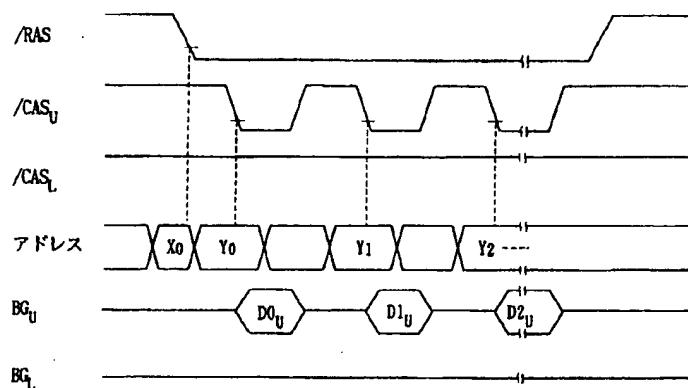
[図3]



[図4]



[図5]



フロントページの続き

(72)発明者 池田 豊

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社北伊丹製作所内

(72)発明者 水谷 良則

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社北伊丹製作所内

This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT OR DRAWING
- BLURRED OR ILLEGIBLE TEXT OR DRAWING
- SKEWED/SLANTED IMAGES
- COLOR OR BLACK AND WHITE PHOTOGRAPHS
- GRAY SCALE DOCUMENTS
- LINES OR MARKS ON ORIGINAL DOCUMENT
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.